

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-190577
(P2002-190577A)

(43) 公開日 平成14年7月5日 (2002.7.5)

(51) Int.Cl.⁷
H01L 27/105

識別記号

F I
H01L 27/10

ターマート* (参考)
444B 5F083

審査請求 未請求 請求項の数29 OL (全 19 頁)

(21) 出願番号 特願2000-386269 (P2000-386269)

(22) 出願日 平成12年12月20日 (2000. 12. 20)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72) 発明者 山田 有紀
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 青木 正身
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74) 代理人 100083161
弁理士 外川 英明

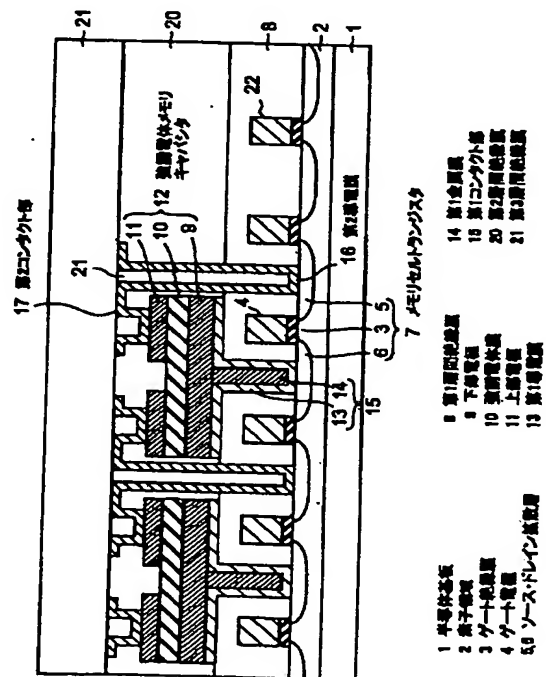
最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 強誘電体キャパシタ及び配線形成後に必要な温度での熱処理工程を入れることが可能な高信頼性の高特性の半導体記憶装置を提供する。

【解決手段】 TC並列ユニット直列接続型強誘電体メモリにおいてソース・ドレイン拡散層5、6の一方側と下部電極9との第1コンタクト部15と上部電極11とソース・ドレイン拡散層5、6の他方側との第2コンタクト部17をそれぞれ第1耐酸化性導電膜13、第2耐酸化性導電膜16で形成する。TC並列ユニット直列接続型強誘電体メモリ特有のメモリセルブロック構造を利用し、メモリセルブロックごとに存在しているメモリセルのない領域に開口部38が設けられた水素ブロック膜33をキャパシタ上に設ける。



【特許請求の範囲】

【請求項1】半導体基板上に形成されたトランジスタ

と、
前記トランジスタ上に形成された第1の層間絶縁膜と、
前記第1の層間絶縁膜中において前記半導体基板上の前記トランジスタのソース・ドレインのどちらか一方に接続するよう開口された第1のコンタクトと、
前記第1のコンタクトを介してソース・ドレインのどちらか一方に接続された第1の下部電極と、
前記第1の下部電極上に形成された強誘電体膜と、
前記強誘電体膜上に形成された第1の上部電極と、
前記第1の層間絶縁膜を貫いて、前記トランジスタにおいて、前記第1の上部電極と、前記第1のコンタクトが接続されているソース・ドレインとは他方のソース・ドレインとを接続する、耐酸化導電性を有する第1の接続電極とを有することを特徴とする半導体記憶装置。

【請求項2】半導体基板上に形成されたトランジスタと、

前記トランジスタ上に堆積された第1の層間絶縁膜と、
前記第1の層間絶縁膜において前記半導体基板上の前記トランジスタのソース・ドレインのどちらか一方に接続するよう開口された第1のコンタクトの底面及び側面、及び前記第1の層間絶縁膜上に形成された耐酸化導電性を有する第2の接続電極と、
前記耐酸化導電性を有する第2の接続電極上に形成された第1の下部電極と、
前記第1の下部電極上に形成された第1の強誘電体膜と、
前記第1の強誘電体膜上に形成された第1の上部電極と、
前記第1の層間絶縁膜を貫いて、前記トランジスタにおいて、前記第1の上部電極と、前記第1のコンタクトが接続されているソース・ドレインとは他方のソース・ドレインとを接続する、耐酸化導電性を有する第1の接続電極とを有することを特徴とする半導体記憶装置。

【請求項3】前記耐酸化導電性を有する第1の接続電極が、前記第1の上部電極の上部全面に形成されていることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】前記耐酸化導電性を有する第1の接続電極上に積層された第3の耐酸化導電性膜をさらに有することを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項5】前記第1の接続電極が第1の上部電極を兼ねていることを特徴とする請求項1乃至4いずれか1項記載の半導体記憶装置。

【請求項6】半導体基板上に形成されたトランジスタと、
前記トランジスタ上に堆積された第1の層間絶縁膜と、
第1の層間絶縁膜において半導体基板上のソース・ドレインのどちらか一方に接続するよう開口された第1のコンタクトと、
前記第1のコンタクトを介してソース・ドレインのどちらか一方に接続された第1の下部電極と、

第1の下部電極上に形成された第1の強誘電体膜と、
第1の強誘電体膜上に形成され1つの下部電極上に一对となるように配置された第1の上部電極と、
前記第1の層間絶縁膜を貫いて、前記トランジスタにおいて、前記第1の上部電極と、前記第1のコンタクトが接続されているソース・ドレインとは他方のソース・ドレインとを接続し、耐酸化導電性を有する第1の接続電極と、

前記接続電極上に形成され、前記接続電極よりも下の層への水素の侵入を抑制する第1の水素バリア性を有する膜とを持つことを特徴とする半導体記憶装置。

【請求項7】前記第1の下部電極、前記第1の強誘電体膜、前記第1の上部電極の側面、及び第1の上部電極間の第1の強誘電体膜上、及び第1の上部電極と第1の接続電極とが接する線上に積層された単層又は積層の第2の水素バリア性を有する絶縁膜を有することを特徴とする請求項6記載の半導体記憶装置。

【請求項8】耐酸化導電性を有する前記第1の接続電極が水素バリア性を兼ね備える請求項7記載の半導体記憶装置。

【請求項9】前記第1の下部電極の下部に積層された単数または複数の第3の水素バリア性を有する絶縁膜をさらに有することを特徴とする請求項6乃至8いずれか1項記載の半導体記憶装置。

【請求項10】半導体基板上に形成されたトランジスタと、
前記トランジスタ上に堆積された第1の層間絶縁膜と、
前記半導体基板上のソース・ドレインのどちらか一方に接続する第1の下部電極と、

前記第1の下部電極上に形成された第1の強誘電体膜と、
前記第1の強誘電体膜上に形成された一对の第1の上部電極と、
前記第1の下部電極とは異なるソース・ドレインに接続する第1の接続電極とからなるキャパシタンスが直列に複数個接続されたメモリセルブロック部と、
前記メモリセルブロック部を選択するためのブロック部選択トランジスタと、前記ブロック部選択トランジスタに接続されたビット線と、
メモリセルブロック部及び前記ブロック部選択トランジスタの上部を覆う第2の層間絶縁膜と、
水素バリア性を有し、前記ブロック部選択トランジスタの境界から前記ブロック部選択トランジスタ側に所定距離離れて開口された開口部を有する第1の水素ブロック膜とを有することを特徴とする半導体記憶装置。

【請求項11】前記トランジスタ、前記下部電極、前記強誘電体膜、前記上部電極又は前記耐酸化導電性を有する接続電極がメモリセルブロック部を構成し、
前記メモリセルブロック部を選択するためのブロック部選択トランジスタと、

3

前記ブロック部選択トランジスタに接続されたビット線と、

前記メモリセルブロック部及び前記ブロック部選択トランジスタの上部を覆う第2の層間絶縁膜と、

水素バリア性を有し、前記ブロック部選択トランジスタの境界から前記ブロック部選択トランジスタ側に所定距離離れて開口された開口部を有する第1の水素ブロック膜とをさらに有することを特徴とする請求項1乃至9いずれか1項記載の半導体記憶装置。

【請求項12】前記トランジスタのゲート及び前記半導体基板上と前記第1の下部電極との間に積層され、前記ブロック部選択トランジスタの境界から前記ブロック部選択トランジスタ側に所定距離離れて開口された開口部を有する単数または複数の第2の水素ブロック膜をさらに備えることを特徴とする請求項10又は11いずれか1項記載の半導体記憶装置。

【請求項13】前記第1の水素ブロック膜の開口部と前記第2の水素ブロック膜の開口部の位置が一致し、かつ開口された穴の側壁に前記第1の水素ブロック膜下端から、前記第2の水素ブロック膜上端まで縦方向に連続的に形成された第3の水素ブロック膜をさらに備えることを特徴とする請求項12記載の半導体記憶装置。

【請求項14】前記第1の水素ブロック膜と前記第2の水素ブロック膜とが開口部近傍で接触し、キャパシタと開口部との間に水素ブロック膜が存在することを特徴とする請求項12記載の半導体記憶装置。

【請求項15】前記第1の接続電極は耐酸化導電性を有して、前記トランジスタのゲート及び前記半導体基板上と前記第1の下部電極との間に積層され、前記ブロック部選択トランジスタの境界から前記ブロック部選択トランジスタ側に所定距離離れて開口された開口部を有する単数または複数の第2の水素ブロック膜と、前記第1の水素ブロック膜と前記第2の水素ブロック膜の開口部の位置が一致し、かつ開口された穴の側壁に前記第1の水素ブロック膜下端から、前記第2の水素ブロック膜上端まで縦方向に連続的に形成された第3の水素ブロック膜とをさらに備えることを特徴とする請求項10記載の半導体記憶装置。

【請求項16】前記第1の接続電極は耐酸化導電性を有して、前記トランジスタのゲート及び前記半導体基板上と前記第1の下部電極との間に積層され、前記ブロック部選択トランジスタの境界から前記ブロック部選択トランジスタ側に所定距離離れて開口された開口部を有する単数または複数の第2の水素ブロック膜をさらに備え、前記第1の水素ブロック膜と前記第2の水素ブロック膜が開口部近傍で接触し、キャパシタと開口部との間に水素ブロック膜が存在することを特徴とする請求項10記載の半導体記憶装置。

【請求項17】半導体基板上にMOSFETを形成する工程と、

4

前記MOSFET上に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜に前記半導体基板上の前記MOSFETのソース・ドレインのどちらか一方に接続する第1のコンタクトを開口する工程と、

前記コンタクトを介してソース・ドレインのどちらか一方と第1の下部電極を接続する導電膜を形成する工程と、

第1の下部電極、第1の強誘電体膜、第1の上部電極を順次下方から上方へ順に形成し、強誘電体キャパシタを形成する工程と、

第2の層間層間膜を全面に堆積する工程と、

前記第1の上部電極の上部表面を露出させる工程と、

前記第1の層間絶縁膜及び前記第2の層間絶縁膜を貫いて前記半導体基板上の前記MOSFETの、第1のコンタクトとは異なるソース・ドレインに接続する第2のコンタクトを開口する工程と、

前記第1の上部電極の上部表面上及び前記開口部の底面・側面に第1の耐酸化導電性を有する膜を堆積する工程と、

前記第1の耐酸化導電性を有する膜及び前記第1の上部電極を加工して、一对のキャパシタを形成する工程と、熱処理をする工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項18】前記第1の耐酸化導電性を有する膜上に第2の耐酸化導電性を有する膜を堆積する工程と、前記第2の耐酸化導電性を有する膜上に第2の層間絶縁膜を堆積する工程とをさらに備えることを特徴とする請求項17記載の半導体記憶装置の製造方法。

【請求項19】前記第1の上部電極を形成する工程の後に、第1の水素ブロック膜を堆積する工程と、前記上部電極上の前記第1の水素ブロック膜を除去することにより、第1の上部電極の上部表面を露出させる工程とをさらに備えることを特徴とする請求項17又は18いずれか1項記載の半導体記憶装置の製造方法。

【請求項20】MOSFETを形成する工程の後に、トランジスタのゲートの周囲及び前記半導体基板上に第2の水素バリア性を有する膜を堆積する工程をさらに備えることを特徴とする請求項17乃至19いずれか1項記載の半導体記憶装置の製造方法。

【請求項21】前記第1の層間絶縁膜堆積後に第3の水素バリア性を有する膜を堆積する工程と、キャパシタ下部以外の領域の前記第3の水素バリア膜を除去する工程をさらに備えることを特徴とする請求項17乃至20いずれか1項記載の半導体記憶装置の製造方法。

【請求項22】前記第1の水素バリア性を有する絶縁膜を堆積する工程の前に、単数または複数の第4の絶縁膜を堆積し、側壁残しの形状に加工する工程を含むことを特徴とする請求項19記載の半導体記憶装置の製造方法。

【請求項23】前記第1の下部電極の堆積後に第2の下部電極を堆積する工程を含む請求項17乃至22いずれか1項記載の半導体記憶装置の製造方法。

【請求項24】半導体基板上にMOSFETを形成する工程と、

前記MOSFET上に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜上に前記半導体基板上の前記MOSFETのソース・ドレインのどちらか一方に接続する部分を持つ第1の下部電極を堆積する工程と、

前記第1の下部電極上に第1の強誘電体膜を堆積する工程と、

前記第1の強誘電体膜上に一对の第1の上部電極を堆積する工程と、

前記第1の下部電極が接続された一方とは異なるソース・ドレインの他方に接続する第1の接続電極膜を堆積する工程と、

前記第1の下部電極、強誘電体膜、及び前記上部電極によって構成されたキャパシタが複数個直列に接続されたメモリセルブロック部を選択するためのブロック部選択トランジスタを形成する工程と、

前記ブロック部選択トランジスタにビット線を接続する工程と、

メモリセルブロック部及びブロック選択トランジスタの上部を覆う第3の層間絶縁膜を堆積する工程と、

前記第3の層間絶縁膜上に第1の水素ブロック膜を堆積する工程と、

前記メモリセルブロック部と前記ブロック部選択トランジスタの境界からブロック部選択トランジスタ側に所定距離離れた部分で第1の水素ブロック膜の一部を開口する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項25】前記メモリセルトランジスタの形成工程の後に、前記第1の下部電極の下部に第2の水素ブロック膜を形成する工程と、前記第1の水素ブロック膜に設けられた開口部付近の前記第2の水素ブロック膜中に開口部を設ける工程とをさらに有することを特徴とする請求項24記載の半導体記憶装置の製造方法。

【請求項26】前記第2の水素ブロック膜中に開口部を設ける工程の後に、前記第1の水素ブロック膜中の開口部及び前記第2の水素ブロック膜中の開口部中に第3の水素ブロック膜を形成する工程と、前記第3の水素ブロック膜を前記第1の水素ブロック膜及び前記第2の水素ブロック膜中の開口部に側壁残しする工程とをさらに有することを特徴とする請求項25記載の半導体記憶装置の製造方法。

【請求項27】前記第1の水素ブロック膜の開口部と第2の水素ブロック膜の開口部の近傍で第1の水素ブロック膜と第2の水素ブロック膜を連続的な積層構造になるように堆積する工程を含む請求項26記載の半導体記憶

装置の製造方法。

【請求項28】半導体基板上にMOSFETを形成する工程と、

前記MOSFET上に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜上に第1の水素ブロック膜を形成する工程と、

前記第1の層間絶縁膜上に前記半導体基板上の前記メモリセルトランジスタのソース・ドレインのどちらか一方に接続する部分を持つ第1の下部電極を堆積する工程と、

前記第1の下部電極上に第1の強誘電体膜を堆積する工程と、

前記第1の強誘電体膜上に第1の上部電極を堆積する工程と、

前記第1の下部電極が接続された一方とは異なるソース・ドレインの他方に接続する第1の耐酸化導電性を有する接続電極膜を堆積する工程と、

前記第1の下部電極、強誘電体膜、及び前記上部電極によって構成されたキャパシタが複数個直列に接続されたメモリセルブロック部を選択するためのブロック部選択トランジスタを形成する工程と、

前記ブロック部選択トランジスタにビット線を接続する工程と、

メモリセルブロック部及びブロック選択トランジスタの上部を覆う第3の層間絶縁膜を堆積する工程と、

前記メモリセルブロック部と前記ブロック選択トランジスタの境界からブロック選択トランジスタ側に所定距離離れた部分で前記第3の層間絶縁膜中及び前記第1の水素ブロック膜に開口部を設ける工程と、

前記第3の層間絶縁膜上及び前記第1の水素ブロック膜上に第2の水素ブロック膜を堆積する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項29】半導体基板上にMOSFETを形成する工程と、

前記MOSFET上に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜に前記半導体基板上の前記MOSFETのソース・ドレインのどちらか一方に接続するコンタクトを開口する工程と、

第1の耐酸化導電性を有する膜、第1の下部電極、第1の強誘電体膜を順次下方から上方へ順に形成する工程と、

第2の層間層間膜を全面に堆積する工程と、

前記強誘電体膜上表面を露出する工程と、

前記第1の層間絶縁膜及び前記第2の層間絶縁膜を貫いて前記半導体基板上の前記メモリセルトランジスタのソース・ドレインの他方に接続するコンタクトを開口する工程と、

前記第1の強誘電体膜上部電極の上部表面上及び前記開

7

口部の底面・側面に第2の耐酸化導電性を有する膜を堆積する工程と、
前記第2の耐酸化導電性を有する膜を加工して、一対のキャパシタを形成する工程と、
熱処理をする工程とを有することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は強誘電体キャパシタを有する半導体記憶装置に関し、特に高集積化された強誘電体メモリセルアレイを有する半導体記憶装置及びその製造方法に関わる。

【0002】

【従来の技術】強誘電体メモリセルは低消費電力を備えた高信頼性の不揮発性半導体記憶装置として開発されている。その中でセルトランジスタ(T)のソース・ドレイン間にキャパシタ(C)の両端をそれぞれ接続し、これをユニットセルとし、このユニットセルを複数直列に接続した強誘電体メモリ(以下TC並列ユニット直列接続型強誘電体メモリと称する)が高集積化を備えた点で注目されている。

【0003】この半導体記憶装置の特徴は、1つのトランジスタと1つのキャパシタとが並列接続された単位を1メモリセルとしていて、メモリセルが複数個直列接続された構成となっている点にある。すなわち、メモリセルのキャパシタの下部電極がゲートに隣接したソース/ドレイン領域のいずれかに接続され、キャパシタの上部電極がソース/ドレインの他方に接続されて、メモリセルが構成されている。

【0004】この構成では、メモリセルの1ブロックは8ビット、16ビットなどのユニットセルからなっている。各ブロックはビット線容量の増加やスイッチングトランジスタのオン抵抗の増加を考慮して電氣的に切断される。このようなメモリセルの1ブロックは通常はブロック選択トランジスタにより切断動作が行われる。ここで、ビット線に接続されたキャパシタとは1ブロック内で反対側の端部のキャパシタにキャパシタを駆動するプレート線が配置されねばならない。

【0005】従来は、この構造を実現するために、図23に示されるように半導体基板1上の素子領域2上にソース・ドレイン拡散層5を設け、ゲート絶縁膜3、ゲート電極4からなるメモリセルトランジスタ7が形成されている。このメモリセルトランジスタ7上方に導電膜101、この導電膜101上の下部電極102、この下部電極102上の強誘電体膜103、この強誘電体膜103上の1対の上部電極104が形成されている。

【0006】この下部電極102は導電膜101を介して、ソース・ドレイン拡散層5の一方に第1プラグ電極100で接続されている。さらに上部電極104は同一強誘電体膜103上に存在しない隣接する上部電極と共

8

に第2プラグ電極105、プラグ配線106、第3プラグ電極107を介してソース・ドレイン拡散層5の他方側に接続されている。

【0007】このような半導体記憶装置は例えば、D. Takashima et. al., JSSCC, pp787-792, May, 1998、米国特許第5903492号公報及び特開2000-22010号公報にも記載されている。

【0008】

【発明が解決しようとする課題】以上のような従来の半導体記憶装置では、以下の課題が生じる。

【0009】従来の半導体記憶装置では、半導体基板表面に対して垂直方向のプラグとキャパシタの電極を別作りにし、それを半導体基板に水平方向の配線で接続しているために、強誘電体膜のキャパシタ特性の確保のために行うことが必要な熱処理によって、酸化によるバリアメタルからのプラグの突き抜けなどが発生し、それを回避するためにはプロセスに熱工程の温度や回数の制限などの制約が生じてしまう。

【0010】また、配線の材料としてアルミニウムを用いた場合には、アルミニウムの融点である約400℃以上の温度を加えることはできなかった。このため、配線形成後に強誘電体膜の特性を改善するために必要な温度での熱工程を加えることはできず、配線形成前に熱処理せざるを得ず、その場合、配線形成工程以降でのキャパシタへのダメージを除去し、メモリ特性を向上することは困難であった。

【0011】つまり、このような構造を取ることににより工程が複雑になると共に、下部電極下のプラグの熱工程後のバリアメタルからの突き抜けや最上部の配線を形成したときの配線材料とバリアメタル材料の反応を危惧しなければならず、またその後で、掛けられる熱工程の温度に制限が生じ、配線やパッシベーション工程の後のダメージから十分に強誘電体を回復させることができないという困難が生じていた。

【0012】ゆえに、強誘電体キャパシタ構造形成時点でのみキャパシタ特性改善のための熱処理を行うことは可能であったが、その後で生じるビット線などの配線形成時のキャパシタ特性の変化に対してさらにキャパシタ特性改善のための熱処理を行うことは不可能であった。ここで、キャパシタ特性改善のためには約600℃前後の温度を加える必要があった。

【0013】また、強誘電体キャパシタは水素によって容易に劣化するため、水素をブロックする絶縁膜を堆積させるなどの対策を講じる必要が有る。しかし、配線のRIE(Reactive Ion Etching)工程や、紫外線の影響などでパッシベーション膜中に水素が発生してしまう場合がある。

【0014】一方でトランジスタの特性確保のためには水素による処理を行い、トランジスタの界面順位を上昇させ、トランジスタの閾値ばらつきを小さくすることが

必要であるため、キャパシタ上を完全に水素ブロック膜で覆ってしまうとトランジスタ部に水素が届かないという問題点が有った。

【0015】本発明の目的は以上のような従来技術の課題を解決することにある。

【0016】特に、本発明の目的は、強誘電体キャパシタ形成後に必要な温度での熱処理工程を入れることが可能となり、またプラグ材料のバリアメタル突き抜けや配線材料とバリアメタル材料との反応を避けることが可能になり、かつ、この構造を取ることで工程数が増加することがなく、高信頼性の高特性の半導体記憶装置及びその製造方法を提供することである。

【0017】又、本発明の他の目的は、キャパシタを水素による劣化から保護しながら同時にトランジスタに水素処理を行うことが可能な半導体記憶装置及びその製造方法を提供することである。

【0018】

【課題を解決するための手段】上記目的を達成するために、本発明の特徴は、半導体基板上に形成されたトランジスタと、前記トランジスタ上に形成された第1の層間絶縁膜と、前記第1の層間絶縁膜中において前記半導体基板上の前記トランジスタのソース・ドレインのどちらか一方に接続するよう開口された第1のコンタクトと、前記第1のコンタクトを介してソース・ドレインのどちらか一方に接続された第1の下部電極と、前記第1の下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された第1の上部電極と、前記第1の層間絶縁膜を貫いて、前記トランジスタにおいて、前記第1の上部電極と、前記第1のコンタクトが接続されているソース・ドレインとは他方のソース・ドレインとを接続する、耐酸化導電性を有する第1の接続電極とを有する半導体記憶装置である。

【0019】本発明の別の特徴は、半導体基板上に形成されたトランジスタと、前記トランジスタ上に堆積された第1の層間絶縁膜と、前記第1の層間絶縁膜において前記半導体基板上の前記トランジスタのソース・ドレインのどちらか一方に接続するよう開口された第1のコンタクトの底面及び側面、及び前記第1の層間絶縁膜上に形成された耐酸化導電性を有する第2の接続電極と、前記耐酸化導電性を有する第2の接続電極上に形成された第1の下部電極と、前記第1の下部電極上に形成された第1の強誘電体膜と、前記第1の強誘電体膜上に形成された第1の上部電極と、前記第1の層間絶縁膜を貫いて、前記トランジスタにおいて、前記第1の上部電極と、前記第1のコンタクトが接続されているソース・ドレインとは他方のソース・ドレインとを接続する、耐酸化導電性を有する第1の接続電極とを有する半導体記憶装置である。

【0020】本発明の別の特徴は、半導体基板上に形成されたトランジスタと、前記トランジスタ上に堆積され

た第1の層間絶縁膜と、第1の層間絶縁膜において半導体基板上のソース・ドレインのどちらか一方に接続するよう開口された第1のコンタクトと、前記第1のコンタクトを介してソース・ドレインのどちらか一方に接続された第1の下部電極と、第1の下部電極上に形成された第1の強誘電体膜と、第1の強誘電体膜上に形成された第1の下部電極上に一対となるように配置された第1の上部電極と、前記第1の層間絶縁膜を貫いて、前記トランジスタにおいて、前記第1の上部電極と、前記第1のコンタクトが接続されているソース・ドレインとは他方のソース・ドレインとを接続する、耐酸化導電性を有する第1の接続電極と、前記接続電極上に形成され、前記接続電極よりも下の層への水素の侵入を抑制する第1の水素バリア性を有する膜とを持つ半導体記憶装置である。

【0021】本発明の別の特徴は、半導体基板上に形成されたトランジスタと、前記トランジスタ上に堆積された第1の層間絶縁膜と、前記半導体基板上のソース・ドレインのどちらか一方に接続する第1の下部電極と、前記第1の下部電極上に形成された第1の強誘電体膜と、前記第1の強誘電体膜上に形成された一対の第1の上部電極と、前記第1の下部電極とは異なるソース・ドレインに接続する第1の接続電極とからなるキャパシタンスが直列に複数個接続されたメモリセルブロック部と、前記メモリセルブロック部を選択するためのブロック部選択トランジスタと、前記ブロック部選択トランジスタに接続されたビット線と、メモリセルブロック部及び前記ブロック部選択トランジスタの上部を覆う第2の層間絶縁膜と、水素バリア性を有し、前記ブロック部選択トランジスタの境界から前記ブロック部選択トランジスタ側に所定距離離れて開口された開口部を有する第1の水素ブロック膜とを有する半導体記憶装置である。

【0022】本発明の別の特徴は、半導体基板上にMOSFETを形成する工程と、前記MOSFET上に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜に前記半導体基板上の前記MOSFETのソース・ドレインのどちらか一方に接続する第1のコンタクトを開口する工程と、前記コンタクトを介してソース・ドレインのどちらか一方と第1の下部電極を接続する導電膜を形成する工程と、第1の下部電極、第1の強誘電体膜、第1の上部電極を順次下方から上方へ順に形成し、強誘電体キャパシタを形成する工程と、第2の層間絶縁膜を全面に堆積する工程と、前記第1の上部電極の上部表面を露出させる工程と、前記第1の層間絶縁膜及び前記第2の層間絶縁膜を貫いて前記半導体基板上の前記MOSFETの、第1のコンタクトとは異なるソース・ドレインに接続する第2のコンタクトを開口する工程と、前記第1の上部電極の上部表面上及び前記開口部の底面・側面に第1の耐酸化導電性を有する膜を堆積する工程と、前記第1の耐酸化導電性を有する膜及び前記第1の上部電極を加工して、一対のキャパシタを形成する工程と、熱

11

処理をする工程とを有する半導体記憶装置の製造方法である。

【0023】本発明の別の特徴は、半導体基板上にMOSFETを形成する工程と、前記MOSFET上に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜上に前記半導体基板上の前記MOSFETのソース・ドレインのどちらか一方に接続する部分を持つ第1の下部電極を堆積する工程と、前記第1の下部電極上に第1の強誘電体膜を堆積する工程と、前記第1の強誘電体膜上に一対の第1の上部電極を堆積する工程と、前記第1の下部電極が接続された一方とは異なるソース・ドレインの他方に接続する第1の接続電極膜を堆積する工程と、前記第1の下部電極、強誘電体膜、及び前記上部電極によって構成されたキャパシタが複数個直列に接続されたメモリセルブロック部を選択するためのブロック部選択トランジスタを形成する工程と、前記ブロック部選択トランジスタにビット線を接続する工程と、メモリセルブロック部及びブロック部選択トランジスタの上部を覆う第3の層間絶縁膜を堆積する工程と、前記第3の層間絶縁膜上に第1の水素ブロック膜を堆積する工程と、前記メモリセルブロック部と前記ブロック部選択トランジスタの境界からブロック部選択トランジスタ側に所定距離離れた部分で第1の水素ブロック膜の一部を開口する工程とを有する半導体記憶装置の製造方法である。

【0024】本発明の別の特徴は、半導体基板上にMOSFETを形成する工程と、前記MOSFET上に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜上に第1の水素ブロック膜を形成する工程と、前記第1の層間絶縁膜上に前記半導体基板上の前記メモリセルトランジスタのソース・ドレインのどちらか一方に接続する部分を持つ第1の下部電極を堆積する工程と、前記第1の下部電極上に第1の強誘電体膜を堆積する工程と、前記第1の強誘電体膜上に第1の上部電極を堆積する工程と、前記第1の下部電極が接続された一方とは異なるソース・ドレインの他方に接続する第1の耐酸化導電性を有する接続電極膜を堆積する工程と、前記第1の下部電極、強誘電体膜、及び前記上部電極によって構成されたキャパシタが複数個直列に接続されたメモリセルブロック部を選択するためのブロック部選択トランジスタを形成する工程と、前記ブロック部選択トランジスタにビット線を接続する工程と、メモリセルブロック部及びブロック部選択トランジスタの上部を覆う第3の層間絶縁膜を堆積する工程と、前記メモリセルブロック部と前記ブロック部選択トランジスタの境界からブロック部選択トランジスタ側に所定距離離れた部分で前記第3の層間絶縁膜中及び前記第1の水素ブロック膜に開口部を設ける工程と、前記第3の層間絶縁膜上及び前記第1の水素ブロック膜上に第2の水素ブロック膜を堆積する工程とを有する半導体記憶装置の製造方法である。

【0025】本発明の別の特徴は、半導体基板上にMO

12

SFETを形成する工程と、前記MOSFET上に第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜上に前記半導体基板上の前記MOSFETのソース・ドレインのどちらか一方に接続するコンタクトを開口する工程と、第1の耐酸化導電性を有する膜、第1の下部電極、第1の強誘電体膜を順次下方から上方へ順に形成する工程と、第2の層間層間膜を全面に堆積する工程と、前記強誘電体膜上表面を露出する工程と、前記第1の層間絶縁膜及び前記第2の層間絶縁膜を貫いて前記半導体基板上の前記メモリセルトランジスタのソース・ドレインの他方に接続するコンタクトを開口する工程と、前記第1の強誘電体膜上部電極の上部表面上及び前記開口部の底面・側面に第2の耐酸化導電性を有する膜を堆積する工程と、前記第2の耐酸化導電性を有する膜を加工して、一対のキャパシタを形成する工程と、熱処理をする工程とを有する半導体記憶装置の製造方法である。

【0026】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は、現実のものとは異なる。従って、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

【0027】（第1の実施の形態）本実施の形態の構成は図1に示される。半導体基板1表面中の素子領域2上にゲート絶縁膜3を介して複数のゲート電極4が形成されている。ゲート電極4の間の素子領域2中には、拡散層によるソース・ドレイン拡散層5、6が形成されて、メモリセルトランジスタ7が複数個形成されている。

【0028】このメモリセルトランジスタ7上には第1層間絶縁膜8が形成されている。この第1層間絶縁膜8上には、隣接する2つのメモリセルトランジスタ7上方の位置に下部電極9、下部電極9上の強誘電体膜10、メモリセルトランジスタ7の1つずつの上方に対応する位置で、強誘電体膜10上に形成された上部電極11とが形成されて、強誘電体キャパシタ12が構成されている。

【0029】第1層間絶縁膜8上には第2層間絶縁膜20が形成されている。さらにこの第2層間絶縁膜20上には第3層間絶縁膜21が形成されている。

【0030】ソース・ドレイン拡散層5、6の一方側6上には、それぞれ、酸化雰囲気中でも導電性を失わない（以下、耐酸化導電性という）第1導電膜13とこの第1導電膜13で囲われた第1金属膜14によって、下部電極9との第1コンタクト部15が形成されている。

【0031】ここでは、第1層間絶縁膜8中に半導体基板1表面に対して垂直方向に第1コンタクト部15が設

けられている。第1導電膜13は下部電極9の下部表面全面に接続されている。

【0032】なお、ソース・ドレイン拡散層5、6上にはシリサイド膜や電極が形成されていてもよい。この場合、シリサイド膜又は電極に第1コンタクト部15を介して、第1コンタクト部15がソース・ドレイン拡散層5、6に電氣的に接続する。

【0033】さらに、第1コンタクト部15が接続されていないソース・ドレイン拡散層5、6の他方側5上に耐酸化導電性の第2導電膜16とこの第2導電膜16で取り囲まれた形状の第3層間絶縁膜21によって上部電極11との第2コンタクト部17が形成されている。この第2コンタクト部17は上部電極11上では第2層間絶縁膜20中に設けられた開口部を介して、上部電極11上表面の一部が第2コンタクト部17に接触する形態となっている。

【0034】この耐酸化導電性を有する第1、第2の導電膜13、16は、例えば、Pt、Ir、IrO₂などのいずれかにより形成されている。

【0035】ここで、1対の上部電極と、1つの強誘電体膜と、1つの下部電極とからなる強誘電体キャパシタ12は図1中で左右方向に繰り返して、1つのメモリセルブロック内のメモリセルトランジスタ7の個数に応じて配置される。その1端には、メモリセルブロックを選択するブロック選択トランジスタ22が設けられている。

【0036】図1に示される本実施の形態では、1対の上部電極と、1つの強誘電体膜と、1つの下部電極とからなる強誘電体メモリをプラグと配線部を別作りすることなく形成し、メモリセルを形成し、さらに配線まで形成した後でも熱工程をかけることが可能になっている。すなわち、約600℃前後の熱処理を行うことができる。

【0037】ここで、図1において、下部電極9の図中奥行き方向の幅は例えば約1.2μmである。上部電極11の図中奥行き方向の幅は例えば約1.0μmである。下部電極9の図1中の左右方向の長さは例えば約2.2μmである。上部電極11の左右方向の長さは例えば約1.0μmである。

【0038】図1中で下部電極9の厚さは例えば約0.1μmから約0.2μmである。強誘電体膜10の厚さは例えば約0.1μmから約0.3μmである。上部電極11の厚さは約0.1μmから約0.2μmである。ゲート電極4の厚さは約0.2μmである。上記各構成要素の特定のサイズはあくまでも一例であり、設計、仕様により変更され得る。

【0039】なお、下部電極はTi膜上に積層されたPt膜などが使用される。Pt膜は例えば膜厚100nm程度とする。下部電極はPt膜の下にSi層や金属層を形成してもよい。また、Ir、IrO₂なども下部電極

として使用できる。さらにTi層/TiN層/Pt層の積層構造でも下部電極を形成できる。また、SrRuO₃、Ru、RuO₃なども下部電極として使用できる。

【0040】また、強誘電体膜はSrBiTaO₃の混成膜やPbZrTiO₃の混成膜(PZTすなわち、Pb(Zr_xTi_{1-x})O₃)などが使用される。PZT膜の場合、膜厚は例えば、150nm程度とする。さらにBaSrTiO₃系の混成膜も使用できる。また、BaTiO₃、PLZT、LiNbO₃、K₃Li₂Nb₅O₁₅なども強誘電体膜として使用できる。つまり、イオン結合性を有する酸化物強誘電体を用いる場合にはいずれも有効である。

【0041】さらに上部電極はPt膜などが使用される。Pt膜の膜厚は例えば30~50nm程度とする。上部電極にはPt膜の上にさらにAlなど他の金属やSi層を形成してもよい。また、Ir、IrO₂なども上部電極として使用できる。また、SrRuO₃、Ru、RuO₃なども上部電極として使用できる。

【0042】層間絶縁膜はBPSG膜やTEOS膜が使用できる。

【0043】次に、本実施の形態の製造方法を図2乃至図4を用いて説明する。

【0044】図2に示されるように半導体基板1上の素子領域2上にソース・ドレイン領域5、ゲート絶縁膜3、ゲート電極4が形成される。その後、第1層間絶縁膜8を堆積し、平坦化した後、ソース・ドレイン領域5と下部電極9との第1コンタクト部15を開口し、第1導電膜13を堆積する。その後、下部電極9、強誘電体膜10、上部電極11を順にCVD法やスパッタにより堆積する。ここで、第1層間絶縁膜8はLPCVD法により形成され、例えば、BPSG膜などの層間絶縁膜であり、CMP法により表面が平坦化される。

【0045】次に、図3に示されるように、上部電極11、強誘電体膜10、下部電極9、第1導電膜13までをRIE等で一括加工し、キャパシタ形状を形成する。その後、第2層間絶縁膜20を形成する。

【0046】次に、図4に示されるように上部電極11上部の一部と、ソース・ドレイン領域5の内の第1コンタクト部15が設けられていない領域表面を露出するように第1層間絶縁膜8及び第2層間絶縁膜20をCMP法等で平坦化して、一部除去して第2コンタクト部17及び上部電極11上のコンタクト部の開口を形成する。ついで、第2コンタクト部17上に第2導電膜16を堆積する。

【0047】次に、強誘電体膜10上の上部電極11をその上の第2導電膜16と共に2つに分離する。

【0048】次に、全面に第3層間絶縁膜21を堆積する。

【0049】次に、半導体記憶装置全体に600℃から700℃程度の加熱工程を行い、強誘電体キャパシタ特

15

性を向上させる。

【0050】本実施の形態では、キャパシタ電極への配線材料にアルミニウムなどの低融点材料を用いていないため、キャパシタ形成後に400℃以上の高温を加えて強誘電体膜の特性改善を図ることが可能である。特に強誘電体膜のヒステリシス特性を改善させるためには600℃以上の加熱が必要であり、本実施の形態は膜特性改善に必要な高温を加えることが可能である。

【0051】(第2の実施の形態)図5に示されるように、本実施の形態では、上部電極7上の全面に耐酸化導電性の第2導電膜30を形成することで工程数を削減することが可能となっている。この形態では露光エッチング工程の工程数を第1の実施の形態よりも減らすことができる。

【0052】この実施の形態の製造方法は、第1の実施の形態における製造方法を表す図4において、第2コンタクト部17である上部電極11及びソース・ドレイン領域5、6へのコンタクト部の開口を形成する前に、堆積されている第2層間絶縁膜20表面をCMP法などにより、平坦化して上部電極11の上表面を露出させる。その後、第2導電膜30を表面に堆積させ、上部電極11をそれぞれ2つに分離させる。

【0053】本実施の形態の平面図は図6に示される通りである。図6中で“A-B”線上の断面が図5の断面図に相当する。下部電極9とソース・ドレイン領域5、6との第1コンタクト部15、上部電極11とソース・ドレイン領域5、6との第2コンタクト部17、ゲート電極4、下部電極9、上部電極11の配置をこのように取することで、セルサイズの4F²を実現でき、かつ工程数は増えない。なお、図12中で、1セルあたりの縦方向、横方向サイズがそれぞれ2Fであるため、セルサイズは2F×2Fの4F²となる。

【0054】この実施の形態は第1の実施の形態同様の効果を有する。

【0055】(第3の実施の形態)本実施の形態では、図7に示されるように、第1の実施の形態と同様の構成である第2導電膜16上に、更に酸化雰囲気中でも導電性を失わない金属膜31を形成したものである。本実施の形態では、第2導電膜16によって金属膜31と上部電極11との反応を防ぎながら配線に適した金属を金属膜31として選択することができ、そのため、第1の実施の形態に比べて、上部電極とソース・ドレインとの接続配線の低抵抗化を図ることができる。

【0056】本実施の形態は第1の実施の形態同様の効果を有する。

【0057】(第4の実施の形態)図8に示されるように本実施の形態では、耐酸化導電性の第2導電膜32が第1の実施の形態における上部電極11を兼ねるように形成されている。上部電極11と第2導電膜32に異なる材料を用いる必要がないため、使用する材料を減らす

16

ことができる。

【0058】本実施の形態の製造方法は、第1の実施の形態の製造方法を示す図2において、図3において、強誘電体膜10、下部電極9、及び第2導電膜32を形成して、第2層間絶縁膜20を堆積後、第2コンタクト17を開口して、表面にさらに第2導電膜32を形成する。その後、第2導電膜32を強誘電体膜10上で分離し、第3層間絶縁膜21を表面に堆積する。その後の工程は第1の実施の形態と同様である。

【0059】本実施の形態は第1の実施の形態同様の効果を有する。

【0060】(第5の実施の形態)図9に示されるように本実施の形態では、第2の実施の形態の形状において、さらに水素バリア性を有する絶縁膜である水素ブロック膜33を設けた構成となっている。強誘電体キャパシタ12上部が水素ブロック膜33で覆われているために、製造工程中で発生した水素が上方から侵入することによるキャパシタへのダメージを防ぐことが可能となる。

【0061】ここで、水素バリア性を有する絶縁膜としては、アルミナなどが利用できる。

【0062】本実施の形態の製造方法は、第2の実施の形態の製造方法の後に、水素ブロック膜33を堆積して形成する。

【0063】本実施の形態は第1の実施の形態及び第2の実施の形態同様の効果を有する。

【0064】(第6の実施の形態)図10に示されるように本実施の形態では、第5の実施の形態における構成に追加して、下部電極9、強誘電体膜10、上部電極11の側面及び強誘電体膜10上、及び上部電極11と第2導電膜30が接する領域のエッジ部に水素バリア性を有する絶縁膜である水素ブロック膜34を持つ。この場合、水素ブロック膜34は単層でも複層でも良く、この構造により工程中に発生する水素によるキャパシタ特性の劣化を抑える効果がある。

【0065】本実施の形態は第1の実施の形態及び第5の実施の形態同様の効果を有する。

【0066】(第6の実施の形態の変形例)図11に示されるように本実施の形態の変形例では、上部電極11上に水素バリア性を有する水素ブロック膜兼用第2導電膜35を設けて、第6の実施の形態における水素ブロック膜33を省略して形成する。この場合においても加熱工程における水素ダメージを防止することができる。

【0067】本実施の形態は第1の実施の形態及び第6の実施の形態同様の効果を有する。

【0068】(第7の実施の形態)図12に示されるように、本実施の形態では、第5の実施の形態において、第1導電膜13の下部に水素バリア性を有する絶縁膜を有する水素ブロック膜36を有する。これにより工程中に発生した水素のキャパシタ下部からの侵入を防ぐこと

ができる。

【0069】本実施の形態は第1の実施の形態及び第5の実施の形態同様の効果を有する。

【0070】(第7の実施の形態の変形例)図13に示されるように、第7の実施の形態における水素ブロック膜36に替えて、メモリセルトランジスタのゲート電極4の周囲及び半導体基板1の素子領域2表面上に水素バリア性を有する絶縁膜である水素ブロック膜37を有する。場合によっては、第7の実施の形態における水素ブロック膜36と合わせて構成してもよい。これにより工程中に発生した水素のキャパシタ下部からの侵入を防ぐことができる。

【0071】本実施の形態の変形例は第7の実施の形態と同様の効果を有する。

【0072】(第8の実施の形態)図14に示されるように、本実施の形態では第5の実施の形態において、水素ブロック膜33に開口部38を設けた形状となっている。

【0073】ここでは、素子領域2上に形成されたメモリセルトランジスタ7と、半導体基板1上の素子領域2上のソース・ドレイン5のどちらか一方に接続する下部電極9と下部電極9上に形成された強誘電体膜10と強誘電体膜10上に形成された一対の上部電極11と上部電極11上の第2導電膜30とから成るキャパシタンスが直列に複数個接続されたメモリセルブロック部、及びこのメモリセルブロック部を選択するブロック選択トランジスタ40の上部を覆う水素バリア性を有する水素ブロック膜33が存在し、この水素ブロック膜33にブロック選択トランジスタ40側に有限の距離離れて開口された開口部38を持つ。

【0074】この構造を取ることにによりTC並列ユニット直列接続型強誘電体メモリに固有のメモリセルブロック構造を生かして、メモリセル部を水素ダメージから守りつつ、トランジスタ部への水素アニールによる特性改善を行うことができる。

【0075】この実施の形態の製造方法においては、第5の実施の形態の製造方法において、水素ブロック膜33を形成した後に、ブロック選択トランジスタ40近傍の水素ブロック膜33に開口38を形成し、水素ブロック膜33上に第4層間絶縁膜42を堆積する。

【0076】次に、ブロック選択トランジスタ40のソース・ドレインの一方側上の第1層間絶縁膜8、第2層間絶縁膜20、第3層間絶縁膜21、及び第4層間絶縁膜42中の開口を形成する。

【0077】次に、開口部中及び第4絶縁膜42上にTi/TiN/AlのAl積層膜などの金属からなる金属層を形成して、ビット線コンタクト41を形成する。

【0078】次に、第4絶縁膜42上の金属層をRIE法を用いて加工してビット線43を形成する。

【0079】本実施の形態は、第5の実施の形態同様の

効果を有する。

【0080】(第9の実施の形態)本実施の形態では、第8の実施の形態に加えて、図15に示されるように半導体基板1上の素子領域2と下部電極5との間に水素ブロック膜36が積層され、かつ、この水素ブロック膜36にも前記水素ブロック膜33の開口部38と一致する位置に開口部44を有している。さらに素子領域2とゲート電極4の表面上に水素ブロック膜37を有している、この水素ブロック膜37に水素ブロック膜33の開口部38と一致する位置に開口部45を有している。

【0081】ここで、水素ブロック膜を多段階にて持つことで、より一層メモリセルキャパシタ部への水素の侵入を抑制することができる。

【0082】本実施の形態は第8の実施の形態と同様の効果を有する。

【0083】(第10の実施の形態)図16に示されるように第9の実施の形態において、さらに水素ブロック膜33下端から水素ブロック膜36の上端まで、それぞれの開口部38、44を結ぶ第2層間絶縁膜20、第3層間絶縁膜21中の図中の縦方向に連続的に形成された水素ブロック膜47を有している。

【0084】このような構成により、キャパシタ部への水素の侵入をさらに抑制することができる。

【0085】本実施の形態は第9の実施の形態同様の効果を有している。

【0086】(第11の実施の形態)本実施の形態では、第10の実施の形態における水素ブロック膜47に替えて、図17に示されるように水平方向に形成された水素ブロック膜33と縦方向に形成された水素ブロック膜46とを連続で一体にて形成している。本実施の形態においては、製造方法において、開口部38、44内に水素バリア膜を堆積する工程を水平方向の水素バリア膜33形成工程とを同時に行うことが可能であり、製造方法が容易となる。

【0087】本実施の形態は第10の実施の形態と同様の効果を有する。

【0088】(第12の実施の形態)図18に示されるように本実施の形態では、第5の実施の形態における構成に追加して、下部電極9、強誘電体膜10、上部電極11の側面に水素バリア性を有する絶縁膜である水素ブロック膜34を持つ。さらに第2導電膜16が埋め込まれた第2コンタクト部17内部及び第2導電膜16上に金属膜50が形成されている。この金属膜50が露出された表面、強誘電体膜10上、上部電極11と第2導電膜16が接する領域のエッジ部にもさらに水素バリア性を有する絶縁膜である水素ブロック膜51を有する。

【0089】この場合、水素ブロック膜34、51は単層でも複層でも良く、この構造によって製造工程中に発生する水素によるキャパシタ特性の劣化を抑える効果がある。

19

【0090】本実施の形態の半導体記憶装置の製造方法について図18乃至図22を用いて説明する。まず、図19に示されるように、半導体基板1上の素子領域2上にゲート絶縁膜3を形成して、ポリシリコン/WSi積層膜によるゲート電極4を形成し、ソース、ドレインとなる第1乃至第4不純物拡散層5、6を形成してメモリセルトランジスタ7を形成する。

【0091】次に、第1層間絶縁膜8、第1導電膜13、下部電極層9、強誘電体膜10、上部電極層11を順次形成する。ここで、下部電極層9としてTi、Pt等の導電膜が順にスパッタ蒸着され、キャパシタ絶縁膜用の強誘電体膜10としてPZT膜が形成され、さらにキャパシタの上部電極11としてPt導電膜等がスパッタ蒸着される。

【0092】次に、図20に示されるように、上部電極層11、強誘電体膜10、下部電極層9、第1導電膜13までをRIE等で一括加工し、キャパシタ外周部を形成し、上部全面に水素バリア性を有する絶縁膜である水素ブロック膜52を堆積させる。

【0093】次に、図21に示されるように、CMP法等で平坦化を行い上部電極11を露出させ、キャパシタ周囲以外の水素ブロック膜52を除去する。

【0094】次に、図22に示されるように、プラズマCVD法を用いて、第2層間絶縁層20を形成して、CMP法により表面が平坦化される。さらに、上部電極11とソース・ドレイン5との第2コンタクト部17を開口し、第2導電膜16を堆積させた後、全面に金属膜50を堆積させる。

【0095】次に、図18のように金属膜50、第1導電膜16、上部電極11を一括加工して上部電極対を形成し、その上部全面に水素バリア性を有する絶縁膜である水素ブロック膜51を堆積した後、ブロック選択トランジスタ22付近の開口部60を形成することによりキャパシタ部を水素による劣化から守り、かつ酸化雰囲気での熱工程をかけられる構造が完成する。強誘電体膜はアニールにより結晶化される。なお、本実施の形態においてはビット線コンタクトは説明及び図示を省略しているが、実際には第8の実施の形態同様に存在する。

【0096】本実施の形態は第1の実施の形態及び第5の実施の形態同様の効果を有する。

【0097】なお、上記各実施の形態はそれぞれ組み合わせで実施することができる。

【0098】なお、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0099】

【発明の効果】本発明によれば、強誘電体キャパシタ形成後に必要な温度での熱処理工程を入れることが可能となり、またプラグ材料のバリアメタル突き抜けや配線材料とバリアメタル材料との反応を避けることが可能にな

20

り、かつこの構造を取ることで工程数が増加することがなく、高信頼性の高特性の半導体記憶装置及びその製造方法を提供できる。

【0100】又、本発明によれば、キャパシタを水素による劣化から保護しながら同時にトランジスタに水素処理を行うことが可能な半導体記憶装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】 第1の実施の形態を表す断面図。

【図2】 第1の実施の形態の製造方法の工程を表す断面図。

【図3】 第1の実施の形態の製造方法の工程を表す断面図。

【図4】 第1の実施の形態の製造方法の工程を表す断面図。

【図5】 第2の実施の形態を表す断面図。

【図6】 第2の実施の形態を表す平面図。

【図7】 第3の実施の形態を表す断面図。

【図8】 第4の実施の形態を表す断面図。

【図9】 第5の実施の形態を表す断面図。

【図10】 第6の実施の形態を表す断面図。

【図11】 第6の実施の形態の変形例を表す断面図。

【図12】 第7の実施の形態を表す断面図。

【図13】 第7の実施の形態の変形例を表す断面図。

【図14】 第8の実施の形態を表す断面図。

【図15】 第9の実施の形態を表す断面図。

【図16】 第10の実施の形態を表す断面図。

【図17】 第11の実施の形態を表す断面図。

【図18】 第12の実施の形態を表す断面図。

【図19】 第12の実施の形態の製造方法の工程を表す断面図。

【図20】 第12の実施の形態の製造方法の工程を表す断面図。

【図21】 第12の実施の形態の製造方法の工程を表す断面図。

【図22】 第12の実施の形態の製造方法の工程を表す断面図。

【図23】 従来の半導体記憶装置の構成を表す断面図。

【符号の説明】

1 半導体基板

2 素子領域

2 ゲート絶縁膜

3 ゲート電極

4、6 ソース・ドレイン拡散層

7 メモリセルトランジスタ

8 第1層間絶縁膜

9 下部電極（下部電極層）

21

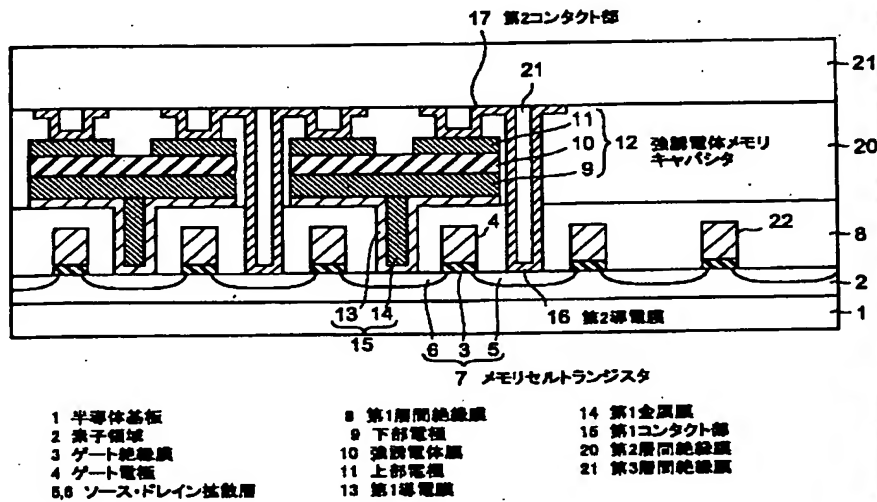
- 10 強誘電体膜
- 11 上部電極（上部電極層）
- 12 強誘電体キャパシタ
- 13 第1導電膜
- 14 第1金属膜
- 15 第1コンタクト部
- 16、30、32 第2導電膜
- 17 第2コンタクト部
- 20 第2層間絶縁膜
- 21 第3層間絶縁膜

22

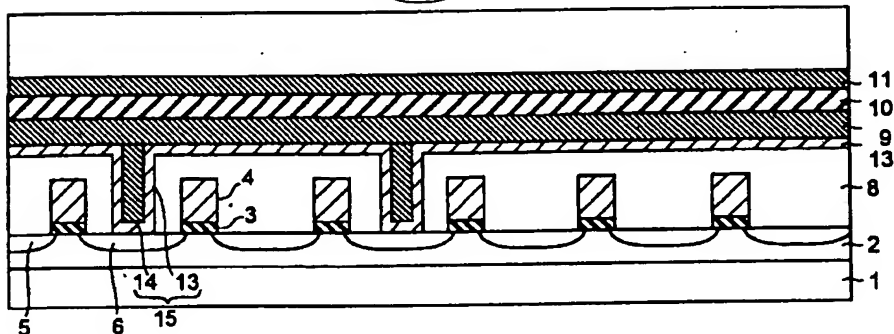
- * 22, 40 ブロック選択トランジスタ
- 31、50 金属膜
- 33、34、36、37、46、47、51、52 水素ブロック膜
- 35 水素ブロック膜兼用第2導電膜
- 38、44、45、60 開口部
- 41 ビット線コンタクト
- 42 第4層間絶縁膜
- 43 ビット線

* 10

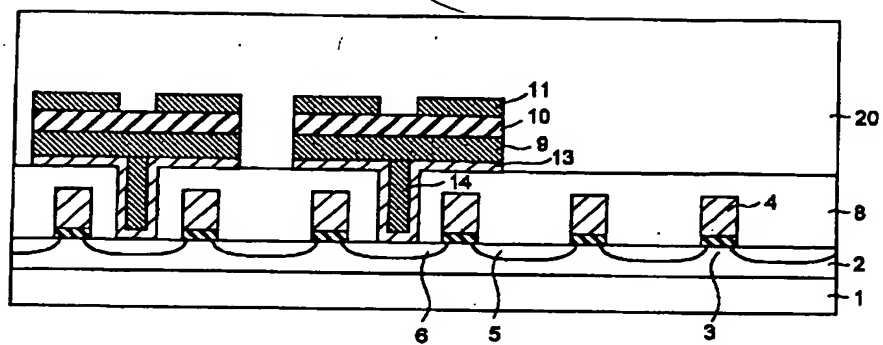
【図1】



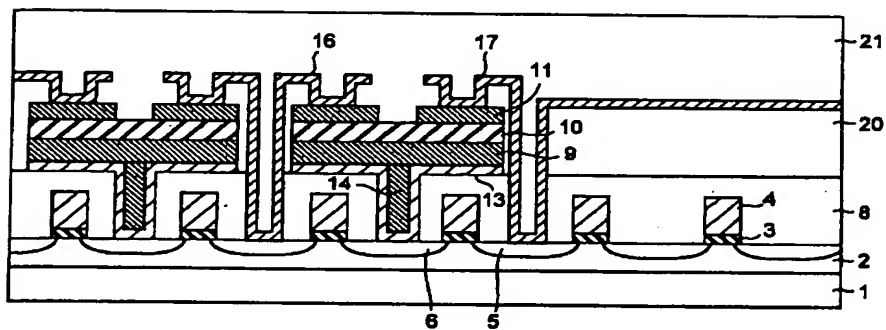
【図2】



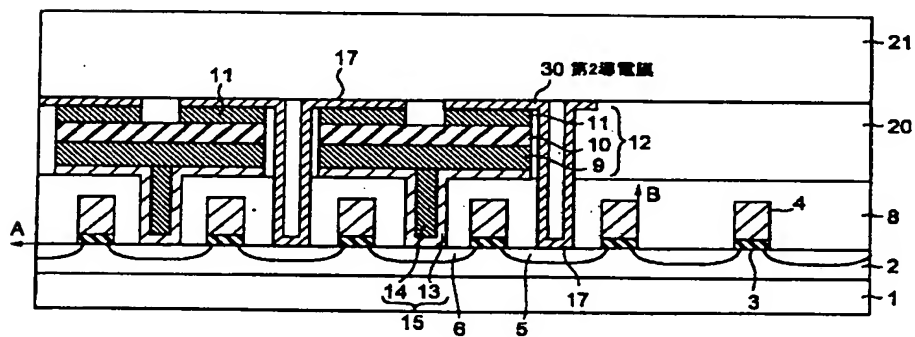
【図3】



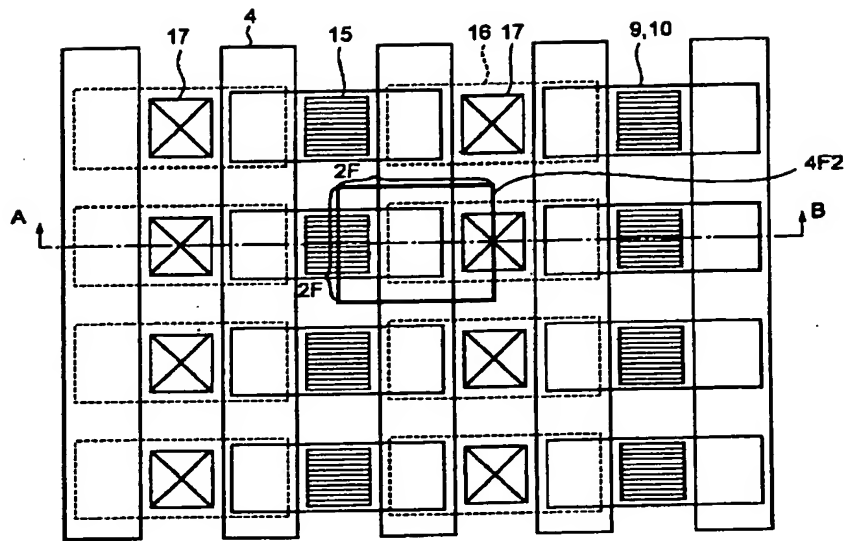
【図4】



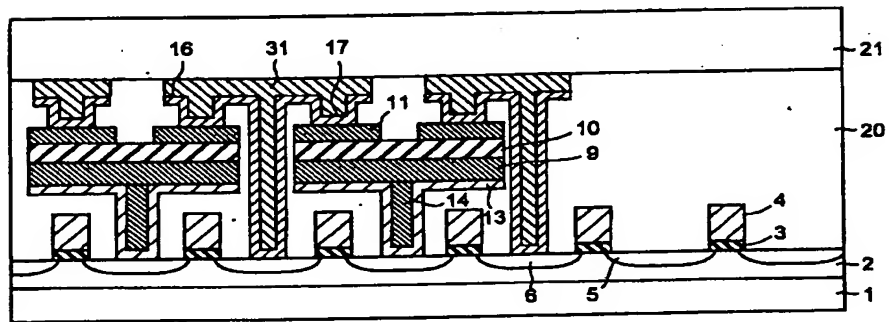
【図5】



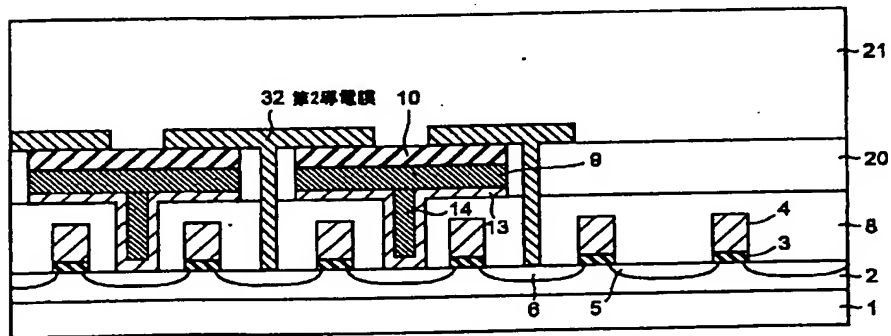
【図6】



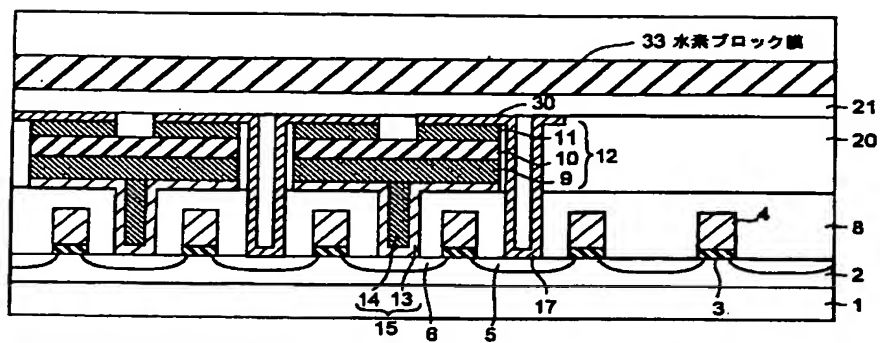
【図7】



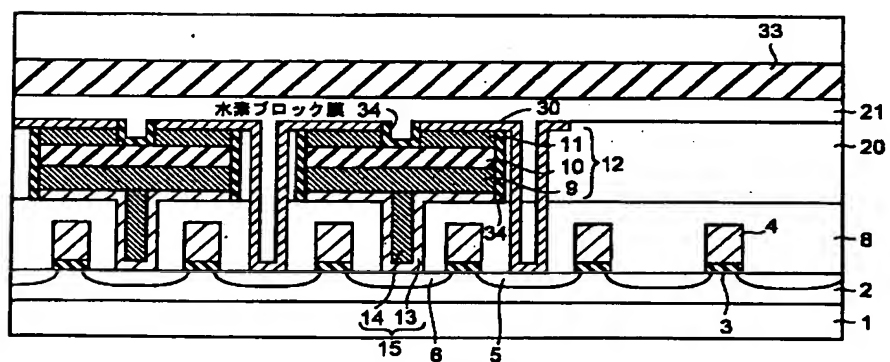
【図8】



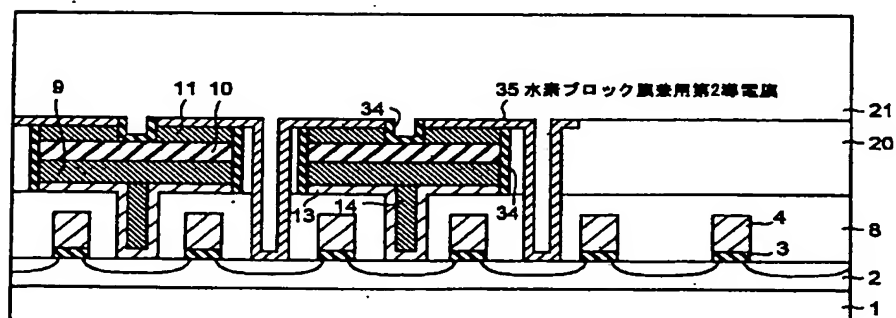
【图 9】



【図 10】



【圖 1 1】



41 ビット線コンタクト
42 第4絶縁膜
43 ビット線

【图 15】



【图 16】



【图 17】



Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate (1) with a base layer (2). On top of the base layer are several rectangular blocks (3, 4, 13, 14, 17, 22) with different internal patterns. Above these blocks are various layers: a metal layer (50), a water block layer (51), and a passivation layer (18). A gap (60) is shown between the blocks. The top surface is labeled 42. Other labels include 9, 10, 11, and 34.

A cross-sectional diagram of a multi-layered structure. The layers are numbered on the right side: 1 (bottom), 2, 8, 13, 9, 10, and 11 (top). The structure consists of a series of rectangular blocks (4) separated by vertical dividers (6). These blocks are embedded in a layer (8). Below layer 8 is a wavy line (2) and a horizontal line (1). A bracket (7) groups the bottom layers (1, 2, 3, 5). A bracket (3) is under the wavy line (2). A bracket (5) is under the horizontal line (1). A bracket (6) is under the vertical dividers (6). A bracket (8) is under the rectangular blocks (4). A bracket (9) is under the layer (9). A bracket (10) is under the layer (10). A bracket (11) is under the top layer (11).

[illegible]

This diagram shows a cross-sectional view of a semiconductor device. It features a substrate with a series of rectangular regions (1) separated by recessed areas (2). A layer (3) is deposited over the substrate, and a gate structure (4) is formed on top. The gate structure consists of a central T-shaped region (14) and side regions (13, 9, 10, 11). A layer (52) is deposited over the gate structure. The device is shown in a cross-sectional view, with various layers and regions labeled with numbers.

Fターム(参考) 5F083 AD21 FRO2 GA25 GA28 JA14
JA15 JA17 JA36 JA38 JA43
JA44 JA56 MA05 MA06 MA17
MA19 PR12